

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-078210

(43)Date of publication of application : 11.03.2004

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2003-284886

(71)Applicant : ROHM CO LTD

(22)Date of filing : 01.08.2003

(72)Inventor : ABE SHINICHI

FUJISAWA MASANORI

(30)Priority

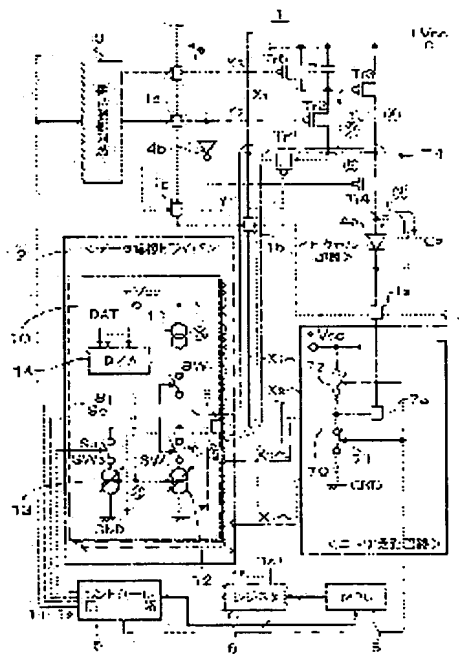
Priority number : 2002225597 Priority date : 02.08.2002 Priority country : JP

## (54) DRIVE CIRCUIT FOR ACTIVE MATRIX TYPE ORGANIC EL PANEL AND ORGANIC EL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a drive circuit for an active matrix type organic EL which can initially charge an OEL element of an active matrix type organic EL panel, can improve the luminance of the OEL element and is suitable for high luminance color display.

SOLUTION: This drive circuit is provided with many current drive circuits and a write control circuit. The current drive circuits are provided so as to correspond to a data line or a column pin of an organic EL display panel, and each of the current drive circuits has an output pin connected to the data line or the column pin, generates current for charging to charge a capacitor of a pixel cell circuit to a voltage value through the data line or the column pin and generates current for charging to initially charge the organic EL element. The write control circuit controls write for storing the voltage value into the capacitor and also controls the resetting of the voltage value of the written capacitor.



---

**LEGAL STATUS**

[Date of request for examination] 27.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3749992

[Date of registration] 16.12.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[illegible]

(2)

JP 2004 78210 A 2004.3.11

## 【特許請求の範囲】

## 【請求項1】

有機EL素子とこの有機EL素子の駆動電流の電流値に応じた電圧値を記憶するコンデンサと前記電圧値に応じて前記有機EL素子に前記駆動電流を出力するためのトランジスタとを有するビクセル回路がマトリックス状に配列された有機EL表示パネルを電流駆動するアクティブマトリックス型有機ELパネルの駆動回路において、

前記有機EL表示パネルのデータ線あるいはカラムビンに対応して設けられ、前記データ線あるいは前記カラムビンに接続される出力ビンを有し前記データ線あるいは前記カラムビンを介して前記ビクセル回路の前記コンデンサを前記電圧値に充電するための電流を発生しかつ前記有機EL素子を初期充電するための電流を発生する多数の電流駆動回路と

10

前記コンデンサに前記電圧値を記憶するための書込み制御をしかつ書込まれた前記コンデンサの前記電圧値をリセットする制御をする書込制御回路とを備えるアクティブマトリックス型有機ELパネルの駆動回路。

## 【請求項2】

さらに前記電流駆動回路は、前記出力ビンを介して自己が接続される前記ビクセル回路の前記コンデンサを前記電圧値に短期間に充電するために前記ビクセル回路の前記コンデンサを初期充電するための電流あるいは電圧を発生する充電回路を有する請求項1記載のアクティブマトリックス型有機ELパネルの有機EL駆動回路。

## 【請求項3】

20

さらに、前記コンデンサを前記電圧値に充電するための電流は、前記出力ビンから前記ビクセル回路へ吐き出される電流あるいは前記ビクセル回路から前記出力ビンへ引き込む電流のいずれか一方に応じて発生し、前記有機EL素子を初期充電するための電流は、前記出力ビンから吐き出されるもつ他のある電流あるいは前記出力ビンへ引き込む他のある電流のいずれか一方に応じて発生する請求項1記載のアクティブマトリックス型有機ELパネルの駆動回路。

## 【請求項4】

さらに前記電流駆動回路は、前記出力ビンを介して自己が接続される前記ビクセル回路の前記コンデンサを前記電圧値に短期間に充電するために前記ビクセル回路の前記コンデンサを初期充電するための電流あるいは電圧を発生する充電回路を有する請求項3記載の

30

## 【請求項5】

前記電流駆動回路は、フッシュ・フルの電流出力回路で構成され、この電流出力回路のフッシュ側回路が前記出力ビンから前記ビクセル回路へ電流を吐き出す動作をし、前記電流出力回路のフル側回路が前記ビクセル回路から前記出力ビンへ電流を引き込む動作をする請求項4記載のアクティブマトリックス型有機ELパネルの駆動回路。

## 【請求項6】

前記書込制御回路は、前記電圧値を記憶するための書込みを行う手前で前記コンデンサのリセットを行い、前記電流駆動回路も前記有機EL素子を駆動する手前で前記有機EL素子のリセットを行う請求項5記載のアクティブマトリックス型有機ELパネルの駆動回路

40

## 【請求項7】

前記ビクセル回路の前記有機EL素子の電圧のリセットは、自己の前記ビクセル回路が接続された前記電流駆動回路が自己の前記出力ビンに電流を引き込むことによってなされる請求項6記載のアクティブマトリックス型有機ELパネルの駆動回路。

## 【請求項8】

前記コンデンサの前記電圧値のリセットは、前記コンデンサに並列に設けられたトランジスタをONにすることで行われる請求項6記載のアクティブマトリックス型有機ELパネルの駆動回路。

## 【請求項9】

50

(3)

JP 2004 78210 A 2004.3.11

前記フッシュ側回路は、前記出力ピンに第1のスイッチ回路を介して接続された前記有機EL素子を初期充電するための第1の電流源を有し、前記フル側回路は、前記出力ピンに第2のスイッチ回路を介して接続された第2の電流源と前記出力ピンに第3のスイッチ回路を介して接続された第3の電流源とを有し、前記第2の電流源が前記コンデンサを初期充電するための電流を発生する前記充電回路となり、前記第3の電流源は、前記コンデンサに前記電圧値を書込むための電流を発生する請求項8記載のアクティブマトリックス型有機ELパネルの駆動回路。

【請求項10】

前記フッシュ側回路は、前記出力ピンに第1のスイッチ回路を介して接続された前記有機EL素子を初期充電するための第1の電流源を有し、前記フル側回路は、前記出力ピンに第2のスイッチ回路を介して接続された第2の電流源を有し、この第2の電流源が前記コンデンサに前記電圧値を書込むための電流を発生し、さらに前記出力ピンに第3のスイッチ回路を介して接続された電圧源を有し、この電圧源が前記コンデンサを初期充電するための電流を発生する前記充電回路となる請求項8記載のアクティブマトリックス型有機ELパネルの駆動回路。

10

【請求項11】

請求項1～10のいずれか1項に記載されたアクティブマトリックス型有機ELパネルの駆動回路を有する有機EL表示装置。

【請求項12】

請求項9記載アクティブマトリックス型有機ELパネルの駆動回路とコントローラとを備え、このコントローラにより前記第1の電流源を動作させて前記有機EL素子が初期充電され、前記コントローラにより前記第2および第3の電流源を動作させて前記ビクセル回路の前記コンデンサが初期充電されるとともに前記電圧値が記憶される有機EL表示装置。

20

【請求項13】

請求項10記載アクティブマトリックス型有機ELパネルの駆動回路とコントローラとを備え、このコントローラにより前記第1の電流源を動作させて前記有機EL素子が初期充電され、前記コントローラにより前記電圧源を動作させて前記ビクセル回路の前記コンデンサが初期充電され、前記コントローラにより前記第2の電流源を動作させて前記電圧値が記憶される有機EL表示装置。

30

【請求項14】

前記ビクセル回路は、第1、第2、第3、第4のPチャネルMOSトランジスタを有し、前記第1のトランジスタは、選択線と前記データ線の交点においてそれぞれの線にゲートとドレインがそれぞれ接続され、この第1のトランジスタのソースは、前記第2のトランジスタのドレイン-ソースを介して前記第3のトランジスタのゲートに接続され、この第3のトランジスタのソース-ゲート間に前記コンデンサCが接続され、前記第3のトランジスタのソースは、電源ラインに接続され、そのドレインは、前記第4のトランジスタのソースに接続され、前記第4のトランジスタのドレインが前記有機EL素子の陽極に接続されている請求項11記載の有機EL表示装置。

【請求項15】

前記書込制御回路は、前記第1および第4のトランジスタをONにして前記有機EL素子にこれを充電するための前記電流を流すことにより前記有機EL素子を初期充電し、前記第1および第2のトランジスタをONにして前記出力ピンから電流をシンクすることにより前記コンデンサを初期充電しかつ前記コンデンサに前記電圧値を書込む請求項14記載の有機EL表示装置。

40

【請求項16】

さらに、前記コンデンサに配列にPチャネルMOS第5のトランジスタを有し、前記書込制御回路は、前記第5のトランジスタをONにして前記コンデンサの前記電圧値をリセットする請求項15記載の有機EL表示装置。

【請求項17】

50

(4)

JP 2004 78210 A 2004.3.11

前記ビクセル回路は、前記有機ＥＬ素子を駆動するための第１および第２のＭＯＳトランジスタからなる直列回路と、前記コンデンサに前記電圧値を書き込むための第３および第４のＭＯＳトランジスタとを有し、

前記コンデンサは、前記第１のＭＯＳトランジスタのゲートと前記第１のＭＯＳトランジスタのソースおよびドレインの一方の電極との間に接続され、

前記第２のトランジスタのソースおよびドレインの一方が前記有機ＥＬ素子の陽極に接続され、

前記第３のＭＯＳトランジスタが前記第１のＭＯＳトランジスタのゲートと前記第１のＭＯＳトランジスタのソースおよびドレインの他方の電極との間に接続され、

前記第４のＭＯＳトランジスタが前記第１のＭＯＳトランジスタの前記他方の電極と前記電流駆動回路の前記出力ピンとの間に接続され、そして、 10

前記第２のＭＯＳトランジスタのゲートと前記第３のＭＯＳトランジスタのゲートのいずれか一方がいずれか他方とインバータを介して接続され、

前記書込制御回路は、前記第４のＭＯＳトランジスタのゲートと前記インバータの入力側が接続されたゲートとに制御信号を送出して前記第２、前記第３および前記第４のトランジスタのＯＮ／ＯＦＦを制御することによって前記書込み制御を行う請求項１記載の有機ＥＬ表示装置。

#### 【請求項１８】

前記ビクセル回路は、さらに、前記コンデンサの電荷を放電するために前記コンデンサに並列に接続された第５のＭＯＳトランジスタを有し、前記書込制御回路は、前記第５のＭＯＳトランジスタをＯＮにして書込まれた前記コンデンサの前記電圧値をリセットする請求項１記載の有機ＥＬ表示装置。 20

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【０００１】

この発明は、アクティブマトリックス型有機ＥＬパネルの駆動回路および有機ＥＬ表示装置に関し、詳しくは、携帯電話機、ＰＨＳ等の装置において、アクティブマトリックス型有機ＥＬパネルの有機ＥＬ素子を初期充電（早期に発光させるための発光開始時の充電）することができ、さらにビクセル回路のコンデンサへの駆動電流値の書込み時間を低減でき、有機ＥＬ素子の輝度を向上させることができるような高輝度カラー表示に適したアクティブマトリックス型の有機ＥＬ表示装置に関する。 30

#### 【背景技術】

#### 【０００２】

有機ＥＬ表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、ＰＨＳ、ＤＶＤプレーヤ、ＰＤＡ（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機ＥＬ表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、Ｒ（赤）、Ｇ（緑）、Ｂ（青）に感度差があることから制御が難しくなる問題点がある。

そこで、最近では、電流駆動のドライバを用いた有機ＥＬ表示装置が提案されている。

例えば、特開平１０－１１２３９１号などでは、電流駆動により輝度ばらつきの問題を解決する技術が記載されている（特許文献１）。 40

携帯電話機、ＰＨＳ用の有機ＥＬ表示装置の有機ＥＬ表示パネルでは、カラムラインが３９６個（１３２×３）の端子ピン、ローラインが１６２個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

#### 【０００３】

このような有機ＥＬ表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のものでも端子ピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。

アクティブマトリックス型では、表示セル（画素）対応にコンデンサと電流駆動のトランジスタとからなるビクセル回路が設けられていて、コンデンサに記憶した電圧に応じて 50

(5)

JP 2004 78210 A 2004.3.11

トランジスタを駆動し、このトランジスタを介して有機EL素子（以下OEL素子）が電流駆動される。その駆動方式には、OEL素子をON/OFFの2値で制御するデジタル駆動とOEL素子の駆動電流をアナログ入力データで制御するアナログ駆動とがある。デジタル駆動の場合には、ビクセル内にサブビクセルを設けて表示面積を制御したり、発光時間を時分割して駆動時間の相違により表示画素の階調を制御する。アナログ駆動の場合には電圧指定型（電圧プログラム方式）と電流指定型（電流プログラム方式）とがあつて、電圧指定型の場合には各ビクセル回路のコンデンサの端子電圧を電圧信号により設定し、電流指定型の場合には前記コンデンサの端子電圧を電流信号により設定する。

ところで、マトリックス状に配置したEL素子を電流駆動し、かつ、EL素子の陽極と陰極をグランドに落としてリセットするEL素子の駆動回路が特許文献1として公知である。また、DC-DCコンバータを用いてEL素子を低消費電力で電流駆動する技術が特許文献2として公知である。

10

【0004】

【特許文献1】特開平9-232074号公報

【特許文献2】特開2001-143867号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

このようなアクティブマトリックス型では、各ビクセル回路ごとの駆動トランジスタの動作値のばらつきにより輝度むらが発生し易い。製造過程において表示素子の駆動トランジスタの動作値を均一にすることは難しいことなので、各ビクセル回路のコンデンサの電圧を制御することで輝度むらを抑えることが考えられている。そのためビクセル回路内に値補償回路が設けられる。その補償回路の一例として前記の電圧プログラム方式の回路と前記の電流プログラム方式の回路とがある。

20

前者の電圧プログラム方式は、各ビクセル回路に4個のトランジスタと2個のコンデンサを用いるものであり、データ線、選択線のほかに、駆動トランジスタの動作値のばらつきを補償するために2本の線が設けられる。そして、これら2本の線へ制御信号を加えて2つのコンデンサを所定のタイミングで充電することで駆動トランジスタの値が影響しない電流駆動が行われる。

後者の電流プログラム方式は、駆動トランジスタを含めた3個のトランジスタと、特定の電圧設定をするスイッチトランジスタとで構成される。データ線、2本の選択線と、さらに特定の電圧V<sub>dd</sub>の電源線（ソース線）が設けられる。まず、スイッチトランジスタで駆動トランジスタを切り離してコンデンサを電流駆動で充電しておき、その後、スイッチトランジスタにより駆動トランジスタをコンデンサに接続しかつ駆動トランジスタにソース線から電力を供給してOEL素子を電流駆動する。

30

【0006】

ところで、単純マトリックス型の有機EL表示パネルの電流駆動回路は、容量性負荷となる特性を持つOEL素子を初期充電して早期に発光させ、輝度むらを抑えるためにピーク電流を持つ駆動電流が用いられる。この点、アクティブマトリックス型は、ビクセル回路のコンデンサに一旦駆動電流値に対応する電圧値を書込み、記憶しておいて、その後記憶された電圧値に応じた駆動電流値が発生する。そのためアクティブマトリックス型のOEL素子は、ピーク電流による駆動は行われぬ。その結果、OEL素子を単純マトリックス型のように早期に発光させることができず、駆動電流値の書込み期間も必要になるので、その分、発光期間が短くなる欠点がある。

40

駆動電流値の書込みは、通常、数百pFのビクセル回路のコンデンサを0.1μA～10μA程度の電流で充電することになるので、ビクセル回路のコンデンサへの書込み時間が走査期間全体のうちで10%程度がそれ以上という比較的大きな割合を占める。その分発光期間が短くなって輝度が落ちる。特に、表示画素数が、例えば、VGA、XGA等のように高密度になると、電流プログラム方式の回路では、限られた時間内でタイミング制御を行う必要があるために、前記の欠点が問題になる。

50

(6)

JP 2004 78210 A 2004.3.11

この発明の目的は、このような従来技術の問題点を解決するものであって、アクティブマトリックス型有機ＥＬパネルのＯＥＬ素子を初期充電することができ、ＯＥＬ素子の輝度を向上させることができる高輝度カラー表示に適したアクティブマトリックス型有機ＥＬパネルの駆動回路を提供することにある。

この発明の他の目的は、アクティブマトリックス型有機ＥＬパネルのＯＥＬ素子を初期充電することができ、ＯＥＬ素子の輝度を向上させることができる有機ＥＬ表示装置を提供することにある。

この発明のさらに他の目的は、ビクセル回路のコンデンサへの駆動電流値の書き込み時間を低減でき、ＯＥＬ素子の輝度を向上させることができるアクティブマトリックス型有機ＥＬパネルの駆動回路および有機ＥＬ表示装置を提供することにある。

【課題を解決するための手段】

【０００７】

このような目的を達成するための第１の発明のアクティブマトリックス型有機ＥＬパネルの駆動回路および有機ＥＬ表示装置の特徴は、有機ＥＬ表示パネルのデータ線あるいはカラムピンに対応して設けられ、前記データ線あるいは前記カラムピンに接続される出力ピンを有し前記データ線あるいは前記カラムピンを介してビクセル回路のコンデンサを前記電圧値に充電するための電流を発生しかつ前記有機ＥＬ素子を初期充電するための電流を発生する多数の電流駆動回路と、前記コンデンサに前記電圧値を記憶するための書き込み制御をしかつ書込まれた前記コンデンサの前記電圧値をリセットする制御をする書き込み制御回路とを備えるものである。

また、第２の発明は、前記電流駆動回路が前記出力ピンを介して自己が接続される前記ビクセル回路の前記コンデンサを前記電圧値に短期間に充電するために前記ビクセル回路の前記コンデンサを初期充電するための電流を発生するものである。

【発明の効果】

【０００８】

このように、第１の発明にあっては、電流駆動回路がビクセル回路のコンデンサをＯＥＬ素子の駆動電流値に対応する電圧値に充電する電流を出力し、さらにＯＥＬ素子を初期充電する電流を出力するので、アクティブマトリックス型有機ＥＬパネルにおいてもＯＥＬ素子を初期充電することが可能になる。しかも、ビクセル回路の外部からＯＥＬ素子が初期充電されるので、ＯＥＬ素子の初期充電の電流値を大きく採ることができる。このことにより、ビクセル回路の駆動電流によりＯＥＬ素子を早期に発光させることができるので、ＯＥＬ素子発光期間をその分、長くすることができる。

また、第２の発明にあっては、前記電流駆動回路がさらにビクセル回路のコンデンサを初期充電する電流を出力するので、ビクセル回路のコンデンサへの駆動電流値記憶のための書き込み時間を短くすることができる。

その結果、ＯＥＬ素子の輝度を向上させることができ、高輝度カラー表示に適したアクティブマトリックス型有機ＥＬパネルの駆動回路および有機ＥＬ表示装置を実現できる。

【発明を実施するための最良の形態】

【０００９】

図１は、第１および第２の発明のアクティブマトリックス型の有機ＥＬ表示装置を適用した一実施例のブロック図、図２は、Ｙ方向（ロー方向）走査における走査対象ラインのタイミング制御テーブルの説明図、図３は、この発明の他の実施例のブロック図、そして、図４は、この発明のさらに他の実施例における表示セル駆動回路の具体例の説明図である。次の欠陥検査装置の要部の構成図である。

図１において、１は、アクティブマトリックス型の有機ＥＬ表示装置であって、データ電極ドライバ２と、書き込み制御回路３、ビクセル回路４、コントロール回路５、レジスタ６、ロー側走査回路７、そしてＭＰＵ８等により構成されている。なお、ビクセル回路４は、Ｘ、Ｙのマトリックス配線の各交点に対応して多数設けられているが、図では、その１つのみを、それらの代表として示してある。データ電極ドライバ２は、いわゆる有機ＥＬ駆動回路のカラムドライバ（水平走査方向のドライバ）であって、各データ線（あるいは

10

20

30

40

50



(7)

JP 2004 78210 A 2004.3.11

は各カラムピン、以下同じ) 対応に設けられた表示セル駆動回路 10 をデータ線数分内蔵している。それぞれの表示セル駆動回路 10 の出力ピン 9 は、アクティブマトリックス型の X、Y のマトリックス配線(データ線、走査線)のうちの、それぞれのデータ線(X 電極=X1、X2、X3、... Xn) にそれぞれに接続されている。

#### 【0010】

データ線(カラムピン) 対応に設けられた各表示セル駆動回路 10 は、ここでは容量性負荷となるビクセル回路 4 の電流値書き込み用コンデンサと OEL 素子 4a をそれぞれ初期充電して、電流駆動し、OEL 素子 4a の残留電荷を放電する回路となっている。なお、OEL 素子 4a に並列に設けた点線を示すコンデンサ Cp は、OEL 素子 4a の接合容量により形成される寄生コンデンサである。

10

表示セル駆動回路 10 は、フッシュ・フル回路で構成されて、フッシュ側の電流源 11 とフル側の電流源 12、13 とからなり、フッシュ側の電流源 11 は、スイッチ回路 SW1 を介して出力ピン 9 に接続され、フル側の電流源 12、13 は、それぞれスイッチ回路 SW2、SW3 を介して出力ピン 9 に接続されている。そして、出力ピン 9 は、有機 EL パネルの端子 1b を介してデータ線 X1 に接続されている。

ここで、フッシュ側の電流源 11 は、OEL 素子 4a を初期充電する電流を発生する。フル側の電流源 12 は、コンデンサ C を初期充電する電流を発生し、また、OEL 素子 4a をリセットする電流源となる。そして、フル側の電流源 13 は、コンデンサ C に所定の電圧値を書込む電流を発生する。

なお、データ線 X1 以外に接続される他の表示セル駆動回路 10 は、データ線 X1 に接続される表示セル駆動回路 10 と構成が同じであるので、それらの説明は割愛する。

20

スイッチ回路 SW1~SW3 は、コントロール回路 5 からの制御信号 S1、S2、S3 の“H”、“L”の信号により ON/OFF される。フル側の電流源 12、13 の電流値は、D/A 変換回路 14 からの電流を受けて、それに応じた電流値の定電流源となる。D/A 変換回路 14 で発生する電流は、MPU8 からレジスタ 6 に設定された表示データ DAT を受けてこのデータ値を変換することによって生成される。

なお、アクティブマトリックス型の有機 EL パネルの駆動回路における定電流源と D/A 変換回路の具体的な回路は、出願人による先行出願の米国出願、出願番号 10、360、715 あるいは出願番号 10、463579 にその一例が開示されている。

#### 【0011】

30

図 1 に示すように、カラム方向に配置されるデータ線 X1、X2、X3、... Xn、行方向に配置される多数の走査線 Y (選択線 Y1、選択線 Y2、イレース線 Y3 の 3 本を単位とした線) からなる X、Y のマトリックス配線を接続する交点に対応してビクセル回路(表示セル) 4 が設けられている。ビクセル回路 4 内には、例えば、図示するように選択線 Y1 とデータ線 X1 の交点においてそれぞれの線にゲートとドレインがそれぞれ接続された P チャネル MOS トランジスタ Tr1 が配置されている。このトランジスタ Tr1 のソースは、P チャネル MOS トランジスタ Tr2 のドレインソースを介して OEL 素子駆動用の P チャネルトランジスタ Tr3 のゲートに接続されている。

トランジスタ Tr3 のソースゲート間には駆動電流値記憶のためのコンデンサ C が接続され、トランジスタ Tr3 のソースは、例えば、+7V 程度の電源ライン +Vcc に接続され、そのドレインは、これの下流に設けられた OEL 素子駆動用の P チャネルトランジスタ Tr4 のソースに接続されている。そして、トランジスタ Tr4 のドレインが OEL 素子 4a の陽極に接続されている。

40

OEL 素子 4a の陰極は、有機 EL パネルの端子 1a を介してロー側走査回路 7 のフッシュ・フルのスイッチ回路 70 の入力/出力端子 7a に接続され、このスイッチ回路 70 を介してグランド GND あるいは電源ライン +Vcc に選択的に接続される。

#### 【0012】

トランジスタ Tr2 のゲートは、選択線 Y2 に接続され、さらに選択線 Y2 は、インバータ 4b を介してトランジスタ Tr4 のゲートに接続されている。また、コンデンサ C の両端子にはソースとドレインが接続されたリセット用の P チャネル MOS トランジスタ Tr5 がコ

50

(8)

JP 2004 78210 A 2004.3.11

ンデンサCに並列に設けられ、このトランジスタのゲートがイレース線Y3に接続されている。

選択線Y1、選択線Y2、イレース線Y3は、それぞれ有機ELパネルの端子1c、端子1d、端子1eを介して書込制御回路3に接続され、これら選択線Y1、選択線Y2、イレース線Y3を単位としたYラインが書込制御回路3の制御信号に応じて順次走査されて、Y方向（ロー方向）の走査がロー側走査回路7の走査に同期して行われる。

ところで、アクティブマトリックス型では、全画面分のOEL素子を発光させた後にリセットを行う場合と、ローライン走査に対応してビクセル回路のコンデンサCに電圧値を書込む手前でリセットを行う場合とがある。図1では、1個のビクセル回路しか図示されていないので、リセットについての説明を簡単にするために、発光後にリセットする場合を例に以下説明する。

#### 【0013】

さて、走査対象となったYラインは、その選択線Y1、選択線Y2、イレース線Y3が図2の表図に示すように、Highレベル（以下“H”）、あるいはLowレベル（以下“L”）に設定される。それにより各トランジスタTr1～Tr5がON/OFFされる。これとともに、表示セル駆動回路10がコントロール回路5から制御信号S1、S2、S3の“H”、“L”の信号を受けて、図1に示すように、電流経路(1)でコンデンサCへの初期充電（ビーク電流駆動）が行われ、次に電流経路(2)でコンデンサCへの電流値書き込みが行われ、次に電流経路(3)でOEL素子4aへの初期充電が行われ、続いて電流経路(4)でビクセル回路4によるOEL素子4aの発光駆動が行われる。そして最後に電流経路(5)でコンデンサのリセットが行われる。これにより現在走査対象となっているYラインの走査が終了する。なお、前記の電流経路(1)～電流経路(5)については、各図では○付き数字の1～5で示す。

同様にして、次のYラインの走査が電流経路(1)から開始されて電流経路(2)～電流経路(5)を経て終了し、このような走査がY方向（ロー方向）において現在の走査線から次の走査線へと順次繰り返されていく。

なお、選択線Y1、選択線Y2、イレース線Y3を含むYラインは、ロー方向（垂直方向）のビクセル回路分（走査線数分）設けられ、それらが書込制御回路3に接続されているが、ここではロー側走査回路7のスイッチ回路70と同様にロー方向に走査される1ビクセル回路1個分だけの関係しか示していない。その他の回路は省略してある。

#### 【0014】

ロー側走査回路7のスイッチ回路70は、R、G、Bの水平走査方向の1ラインに対応する1ライン分の駆動電流値が各ビクセル回路（表示セル）4のコンデンサCに書込まれた後にロー側走査回路7のスイッチ回路70のスイッチ71がONになり、OEL素子4aの陰極がグランドGNDに接続されて水平走査方向の1ライン分のOEL素子4aが同時駆動される。

フッシュ・フルのスイッチ回路70は、ロー側走査回路7においてロー方向の走査ラインに対応して多数設けられている。走査対象となるYラインに接続されたスイッチ回路70は、そのフル側のスイッチ71がONし、フッシュ側のスイッチ72がOFFする。これによりOEL素子4aの陰極がグランドGNDに接続される。このとき、走査が終了した手前のスイッチ回路70のフル側のスイッチ71はOFFし、フッシュ側のスイッチ72がONして走査が終了した走査ラインは“H”にフルアップされる。

#### 【0015】

さて、アクティブマトリックス型では、コンデンサCが駆動電流値を記憶するので、水平方向1ライン分ではなく、前記したように、1画面分の駆動電流値を1画面分のそれぞれのビクセル回路のコンデンサCに記憶させた後に各走査ラインのスイッチ回路70のスイッチ71をONさせ、スイッチ72をOFFさせてもよい。この場合には、このスイッチ回路70を1個設ければよく、ロー側走査回路7を用いる必要はない。また、R、G、Bの1画面を時分割で駆動する場合には、前記の1画面は、R、G、Bに対応して設けられるので、このスイッチ回路70は、R、G、Bのそれぞれの1画面に対応して1個づつ

10

20

30

40

50

(9)

JP 2004 78210 A 2004.3.11

、合計で 3 個設けられることになる。

コンデンサ C に書込まれた電荷は、書込制御回路 3 に接続された走直線 Y3 が書込制御回路 3 により “L” にされることで、トランジスタ Tr5 が ON になり、このトランジスタを介して高速に放電される。これにより、コンデンサ C の電圧がリセットされる。前記したように、このリセットは、ローライン走直に対応してビクセル回路のコンデンサ C に電圧値を書込むときに、その手前の帰線期間に行われてもよい。

なお、選択線 Y1、選択線 Y2、イレース線 Y3 とは、それぞれ書込制御回路 3 からタイミング信号 T1、T2 を受けて走直される。また、前記のような走直を行う書込制御回路 3 は、コントロール回路 5 により制御される。

【0016】

図 2 は、Y 方向（ロー方向）走直における走直対象ラインのタイミング制御テーブルである。コントロール回路 5 の制御信号 S1、S2、S3 の “H”、“L” の信号と、書込制御回路 3 の選択線 Y1、選択線 Y2、イレース線 Y3 を “H”、“L” にする制御信号の発生タイミングとが制御内容に対応して示してある。表の最後の欄には、これら制御信号に応じて形成される電流経路 (1)（点線参照）でのコンデンサ C への初期充電（ピーク電流駆動）、電流経路 (2)（点線参照）でのコンデンサ C への電流値書込み、表示期間における電流経路 (3)（細線参照）での OEL 素子 4a への初期充電（ピーク電流駆動）と電流経路 (4)（点線参照）での OEL 素子 4a の発光駆動、そしてリセット期間におけるコンデンサ C のリセット動作に対応して電流経路 (5)（細線参照）での OEL 素子 4a のリセット動作が対応付けられている。

まず、この表の最初の行に示すコンデンサ C への初期充電（ピーク電流駆動）は、選択線 Y1 = “L”、選択線 Y2 = “L”、イレース線 Y3 = “H” にしてトランジスタ Tr1、Tr2 を ON にし、Tr4、Tr5 を OFF にする。そして制御信号 S1 = “L”、S2 = “H”、S3 = “H” にしてスイッチ回路 SW2、SW3 を共に ON にし、スイッチ回路 SW1 を OFF のままにする制御をする。

なお、スイッチ回路 SW1 ~ SW3 は、ここでは “H” で ON になる。初期状態では、制御信号 S1 = “L”、S2 = “L”、S3 = “L” となっていて、スイッチ回路 SW1 ~ SW3 は OFF である。

これにより、ON したスイッチ回路 SW2、SW3 と、ON しているトランジスタ Tr1、Tr2 を介して電源ライン + Vcc から電流経路 (1) として示す経路で定電流源 12、13 による駆動電流が流れる。このとき、ピーク電流に相当する大きな充電電流が短期間に流れ、コンデンサ C が早期に初期充電される。その結果、トランジスタ Tr3 も ON になる。

【0017】

第 2 行目に示す、前記に続いて行われるコンデンサ C への電流値書込みは、選択線 Y1 = “L”、選択線 Y2 = “L”、イレース線 Y3 = “H” に維持しておき、トランジスタ Tr1 ~ Tr3 を ON、Tr4、Tr5 を OFF のままにする。この状態で、制御信号 S2 を “L” にしてスイッチ回路 SW2 を OFF にする制御をする。このとき、各制御信号は、制御信号 S1 = “L”、S2 = “L”、S3 = “H” となり、スイッチ回路 SW1 は OFF のままであり、スイッチ回路 SW3 は ON のままである。

これにより、ON しているスイッチ回路 SW3 と、出力ピン 9、ON しているトランジスタ Tr1、Tr2 とを介してビクセル回路 4 の電源ライン + Vcc から電流経路 (2) として示す経路で定電流源 13 による駆動電流が流れる。これにより、OEL 素子の駆動電流値に対応するような充電電流がコンデンサ C に流れ、コンデンサ C が駆動電流値に応じた電圧値に設定される。

第 3 行目に示す、次の OEL 素子 4a への初期充電（ピーク電流駆動）は、選択線 Y2 を “H” にしてトランジスタ Tr2 を OFF にし、トランジスタ Tr4 を ON にする制御である。このとき、各選択線は、選択線 Y1 = “L”、選択線 Y2 = “H”、イレース線 Y3 = “H” となり、トランジスタ Tr1 は ON のままであり、トランジスタ Tr5 は OFF のままである。

【0018】

(10)

JP 2004 78210 A 2004.3.11

初期充電（ピーク電流駆動）は、この状態で、さらに制御信号 S1 を“H”、制御信号 S3 を“L”として、スイッチ回路 SW1 をピーク発生の一定期間だけ ON にし、スイッチ回路 SW3 を OFF にする。このとき、各制御信号は、制御信号 S1 = “H”、S2 = “L”、S3 = “L” となり、スイッチ回路 SW2 は OFF のままである。これと同時に、ロー側走査回路 7 は、スイッチ回路 70 のフル側のスイッチ 71 が ON になり、スイッチ 72 が OFF になって、OEL 素子 4a を発光させる表示期間に入る。

その結果、ON したスイッチ回路 SW1 と、出力ピン 9、ON しているトランジスタ Tr1、Tr4 とを介してビクセル回路（表示セル）4 の電源ライン + Vcc から電流経路 (3) として示す経路で定電流源 11 による駆動電流が流れる。これにより、ピーク電流に相当する大きな電流が OEL 素子 4a に短期間に流れて早期に OEL 素子 4a が初期充電されるとともに、ON したトランジスタ Tr3、Tr4 を経てビクセル回路 4 の電源ライン + Vcc からコンデンサ C の電圧値に対応した駆動電流が OEL 素子 4a へと流れ、OEL 素子 4a の発光が開始する。

【0019】

第 4 行目に示す、次の OEL 素子 4a の発光駆動は、選択線 Y1 を“H”にしてトランジスタ Tr1 を OFF にする制御をする。このとき、各選択線は、選択線 Y1 = “H”、選択線 Y2 = “H”、イレーズ線 Y3 = “H” となり、トランジスタ Tr2、トランジスタ Tr5 を OFF のままにする。その結果、コンデンサ C に記憶された電圧に従った駆動電流がビクセル回路 4 の電源ライン + Vcc から ON しているトランジスタ Tr3、Tr4 を介して電流経路 (4) の経路で流れる。これにより、所定の駆動電流が OEL 素子 4a に供給されて所定の駆動電流に従った輝度で駆動 OEL 素子 4a が発光し続ける。トランジスタ Tr1 が OFF すること、ビクセル回路 4 は、出力ピン 9 から切り離される。

このときには、各制御信号は、制御信号 S1 = “L”、S2 = “L”、S3 = “L” となっていて、スイッチ回路 SW1 ~ SW3 は、OFF となり、表示セル駆動回路 10 には電流が流れない。

OEL 素子 4a を発光させる表示期間が終了してロー側走査回路 7 の走査対象となっていたスイッチ回路 70 のフル側スイッチ 71 が OFF になり、フッシュ側スイッチ 72 が ON になると、コンデンサ C と OEL 素子 4a のリセット動作の期間に入る。

【0020】

リセット動作は、第 5 行目に示すように、選択線 Y1 を“L”にし、イレーズ線 Y3 を“L”にしてトランジスタ Tr1、Tr5 を ON にし、トランジスタ Tr3 を OFF にする制御になる。このとき、各選択線は、選択線 Y1 = “L”、選択線 Y2 = “H”、イレーズ線 Y3 = “L” となり、トランジスタ Tr2 は OFF のままである。

トランジスタ Tr4 は ON であるが、トランジスタ Tr3 が OFF になるの、ビクセル回路 4 から OEL 素子 4a に駆動電流は流れない。また、このリセット期間ときには、スイッチ回路 70 のフル側スイッチ 71 が ON に保持されている。このリセット動作では、この状態で、さらに制御信号 S2 を“H”にしてスイッチ回路 SW2 を ON にする。

これにより、コンデンサ C の電荷は、ON したトランジスタ Tr5 を介して急速に放電される。このとき同時に、OEL 素子 4a のコンデンサ Cp の電荷も ON したトランジスタ Tr1、出力ピン 9、ON したスイッチ回路 SW2、定電流源 12 を介して電流経路 (5) として示す経路でグランド GND へと流れて急速に放電される。

なお、このときの各制御信号は、制御信号 S1 = “L”、S2 = “H”、S3 = “L” であり、スイッチ回路 SW1、SW3 は OFF のままである。

【0021】

ところで、有機 EL のパネルの走査方式がロー側走査回路 7 によってローラインを順次走査するときには、リセット期間において前記したようにリセット期間において、コンデンサ C へ電圧値を記憶する手前でリセットが行われることが多い。この場合には、現在走査するラインのコンデンサ C、コンデンサ Cp の電荷を放電するリセット期間終了後にスイッチ回路 71 が ON になり、走査ラインの OEL 素子 4a を発光させる制御が行われる。この発光後に次の走査ラインのリセット期間に入る。このときには走査が終了したローライ

10

20

30

40

50

(11)

JP 2004 78210 A 2004.3.11

ンに接続されるOEL素子の陰極側は、“H”にフルアップされ、そのラインのロー側の走直が終了する。

このようなロー側走直では、リセット期間が発光期間（表示期間）の手前となる。そこで、走直対象ラインに接続されたコンデンサとOEL素子のリセットは、図2の表の電流経路(5)が先になり、電流経路(1)～(4)がその後になる。その結果、あるビクセル回路のコンデンサとOEL素子のリセットは、図2の表において、リセット期間（電流経路(5)）が先頭になる。

#### 【0022】

リセット期間が発光期間の発光期間の後にある場合には、ロー側の走直が終了したYラインは、ここで、初期状態に戻り、各制御信号は、制御信号S1=“L”、S2=“L”、S3=“L”となる。これにより、スイッチ回路SW1～SW3は、リセット期間の後に設けられるロー側の走直ラインの切換期間（帰線期間）にOFFにされ、初期状態になる。

10

なお、例えば、R、G、Bの1画面对應に走直する場合など、ロー側走直回路7によりローラインを順次走直しない場合には、すべてのローラインは、OEL素子発光時に“L”にフルダウンされ、発光終了後に“H”にフルアップされる。

#### 【0023】

さて、この実施例では、OEL素子4aへの初期充電については、ビクセル回路4からの駆動電流と定電流源11から供給される駆動電流とを合わせてピーク電流を生成している。これによりOEL素子4aを駆動してOEL素子4aを発光を開始させている。しかし、このように初期充電電流と駆動電流とを同時に発生してピーク電流駆動することは必ずしも必要とされない。ビクセル回路4からの駆動電流は初期充電後に流すようにしてもよい。

20

この場合の制御は、先に定電流源11から初期充電のための電流を供給するためにスイッチ回路SW1を初期充電のための一定期間だけONにする。その後ロー側走直回路7のスイッチ回路70のフル側のスイッチ71をONし、スイッチ72をOFFにする。これにより、初期充電後にOEL素子4aを発光させる表示期間に入ることができる。

同様に、この実施例では、コンデンサCへの初期充電についても、図2の表に示すようにスイッチ回路SW2とSW3とをONにして書込電流に初期充電電流を加えて、これらを合わせてピーク電流駆動を行っているが、これも初期充電電流と書込電流とを同時に発生するようなピーク電流駆動はせずに、単に初期充電電流だけ先に流して、その後に書込電流を流してもよい。

30

この場合の制御は、各制御信号を制御信号S1=“L”、S2=“H”、S3=“L”としてスイッチ回路SW2のみをONにして定電流源12による電流駆動でコンデンサCを初期充電した後に、制御信号S2を“L”にしてスイッチ回路SW2をOFFにし、その後に制御信号S3を“H”にしてスイッチ回路SW3をONにする。これにより、初期充電後に、定電流源13による電流駆動でコンデンサCに対して電流値の書込みを行うことができる。

#### 【0024】

さらに、コンデンサCへ電圧値を記憶する手順でリセットをするリセット期間では、スイッチ回路SW2がONになっているので、制御信号S1=“L”、S2=“L”、S3=“L”とする初期状態に設定することなく、単に、各選択線を選択線Y1=“L”、選択線Y2=“L”、イレース線Y3=“H”にすることで、トランジスタTr1、Tr2をONにし、Tr4、Tr5をOFFにして、OEL素子4aの残留電荷の放電に続いて電流経路(1)に沿ってコンデンサCの初期充電に入ることができる。

40

図3は、トランジスタTr5を削除し、コンデンサCの電荷の放電をトランジスタTr3を介して行う実施例である。これにより、リセット期間は図1の実施例よりも多少長くなるが、ビクセル回路4を構成するトランジスタは、4個で済み、イレース線Y3は不要になる。

#### 【0025】

この実施例におけるコンデンサCとOEL素子4aのリセット動作について説明すると

50

(12)

JP 2004 78210 A 2004.3.11

、リセット動作のときには、選択線 Y1 を“H”、選択線 Y2 を“L”にする。これによりトランジスタ Tr1 は OFF になり、トランジスタ Tr2 が ON になり、トランジスタ Tr4 が OFF になる。このとき、トランジスタ Tr3 は、コンデンサ C に記憶された電圧で ON になっているので、このトランジスタ Tr3 と ON したトランジスタ Tr2 とを介してコンデンサ C の電荷が放電される。

なお、このリセット期間には、各制御信号は、制御信号 S1 = “L”、S2 = “H”、S3 = “L” となっていて、スイッチ回路 SW2 が ON になり、スイッチ回路 SW1、SW3 が OFF のままである。そこで、コンデンサ C の電荷が放電された後のタイミングで、選択線 Y1 = “L”、選択線 Y2 = “H” にする。このことで、トランジスタ Tr2 が OFF となり、トランジスタ Tr1、Tr4 が共に ON になる。さらに、コンデンサ C の放電が終了することによりトランジスタ Tr3 が OFF となっている。そこで、前記したように、OEL 素子 4α のコンデンサ Cp の電荷がトランジスタ Tr1、出力ピン 9、スイッチ回路 SW2、定電流源 12 を介してグランド GND に急速に放電される。

【0026】

図 4 は、この発明のさらに他の実施例における表示セル駆動回路の具体例の説明図である。

図 4 の表示セル駆動回路 100 は、図 1 あるいは図 3 の表示セル駆動回路 10 に置換えて使用することができる。

表示セル駆動回路 100 は、表示セル駆動回路 10 におけるフル側の電流源 12 が削除されている。これに換えて定電圧源 101（ボルテージフォロア）が設けられ、この定電圧回路 101 がスイッチ回路 SW2 を介して出力ピン 9 に接続されている。

その制御は、図 2 の表の第 2 行目から第 4 行目のコンデンサ C への電流値害込みから OEL 素子 4α への初期充電までは同じである。第 1 行目と第 5 行目の選択線、イレース線の制御も同じである。異なるのは、図 2 の第 1 行目のコンデンサ C へ初期充電するときと、第 5 行目のリセットするときの各スイッチ回路を ON/OFF する制御だけである。

そこで、これについて説明する。第 1 行目のコンデンサ C への初期充電のときの制御信号は、図 2 では、S1 = “L”、S2 = “H”、S3 = “H” になっているが、これに換えて制御信号を S1 = “L”、S2 = “H”、S3 = “L” にする。これによりスイッチ回路 SW1、SW3 を OFF にし、スイッチ回路 SW2 を ON にする制御をする。

【0027】

第 5 行目のリセットのときの制御信号は、S1 = “L”、S2 = “H”、S3 = “L” であるが、これに換えて制御信号を S1 = “L”、S2 = “L”、S3 = “H” にする。これによりスイッチ回路 SW1、SW2 を OFF にしてスイッチ回路 SW3 を ON にする制御をする。

ビクセル回路 4 の各トランジスタの ON/OFF の制御は、図 1、図 3 の実施例と変わりはない。

そこで、コンデンサ C への初期充電から説明すると、前記の各スイッチ回路の ON/OFF 制御により、スイッチ回路 SW1、SW3 が OFF になり、スイッチ回路 SW2 が ON になる。そこで、定電圧源 101 からの電圧がデータ線 X1、ON しているトランジスタ Tr1、Tr2 を介してコンデンサ C に加えられる。これによりコンデンサ C が定電圧源 101 の電圧に設定される。したがって、リセットされたときのコンデンサ C の電圧に対して定電圧源 101 の電圧が高い場合には、出力ピン 9 から電圧差分の電流が流れ出る。逆にリセットされたときのコンデンサ C の電圧に対して定電圧源 101 の電圧が低い場合には、出力ピン 9 へ電圧差分の電流が引き込まれる。このとき、図 1、図 3 の場合よりも移動する電流量は少ない。

【0028】

なお、定電圧源 101 の電圧は、ビクセル回路 4 のトランジスタ Tr3、Tr4 の値に応じてプログラマブル電圧発生回路 102 に対して外部からデータ設定等を行うことによって調整できるようになっている。この電圧調整により輝度むら等を抑えることができる。

次にコンデンサ C と OEL 素子 4α のリセットについて説明する。前記の各スイッチ回

10

20

30

40

50

(13)

JP 2004 78210 A 2004.3.11

路のON/OFF制御により、スイッチ回路SW3がONになり、スイッチ回路SW1、SW2がOFFになるので、OEL素子4αは、ONしているトランジスタTr4、Tr1、出力ピン9、電流源18を介してリセットされる。コンデンサCのリセットは、図1、図3の場合と同じであり、ONしているトランジスタTr5あるいはONしているトランジスタTr2、Tr3により行われる。

この実施例では、コンデンサCの初期充電が定電圧源101による電圧設定で行われる。この定電圧源101は、図示するように、ビクセル回路4に対応して設けられた表示セル駆動回路100に内蔵されている。

#### 【0029】

このようにコンデンサCに対して電圧設定をする場合には、定電圧源101は、必ずしも各表示セル駆動回路100に設けられる必要はない。例えば、R、G、Bのそれぞれのデータ電極ドライバ2に対応してそれぞれに1個ずつ、合計で3個設けられるだけでもよい。又は全体で1個設けるようにしてもよい。

ところで、図1乃至図4の実施例において、発光前あるいは発光後にOEL素子4αの電荷をリセットするようにしているが、アクティブ型有機ELパネルでは、OEL素子4αのリセットはパッシブ型の有機ELパネルほどは必要とされていない。

#### 【産業上の利用可能性】

#### 【0030】

以上説明してきたが、コンデンサCを初期充電するときには、同時にトランジスタTr3のゲートに寄生する入力容量に対しても初期充電される。さらに、コンデンサCの駆動ラインに接続されるトランジスタの入力容量やX1の寄生する浮遊容量等の初期充電もこのとき同時に行われる。これにより、OEL素子4αの駆動から発光までの時間短縮ができるとともに、発光までの初期駆動特性を改善することができる。

実施例の表示セル駆動回路10は、フレッシュ・フルの電流駆動回路で構成し、フレッシュ側の電流によってOEL素子4αのコンデンサCPを初期充電し、フル側の電流によって駆動電流値記憶用のコンデンサCを初期充電し、さらに駆動電流値の書き込みを行っている。しかし、これは、例えば、PチャネルMOSトランジスタをNチャネルMOSトランジスタとするなど、ビクセル回路の構成によっては、逆に、フレッシュ側の電流によってコンデンサCを初期充電しさらに電流値を書込み、フル側の電流によってOEL素子4αのコンデンサCPに初期充電することができる。

#### 【0031】

さらに、実施例の表示セル駆動回路10は、出力ピン9に接続される各電流源11、12、13あるいは電圧源101に対してそれぞれ直列にスイッチ回路SW1、SW2、SW3を設けている。そして、スイッチ回路SW1、SW2、SW3のON/OFFにより電流源11（あるいは電圧源101）から出力ピン9に電流を供給し、あるいは、電流源12（あるいは電圧源101）、電流源18により出力ピン9から電流をシンクするようにしている。しかし、これは、回路構成を原理的に説明したものであって、スイッチ回路SW1、SW2、SW3を各電流源（電圧源）に直列に設けることなく、直接各電流源（電圧源）を制御信号S1、S2、S3に応じて選択的に起動して各電流を発生させ、あるいは発生した電流を停止するような回路構成を採ってもよいことはもちろんである。

また、実施例では、ロー側走査回路7のスイッチ回路としてフレッシュ・フルのスイッチ回路を使用しているが、これは、OEL素子4αのコンデンサCPの電荷の放電路が別に形成されていれば、単に、グランドGNDに接続するスイッチ回路であってもよい。さらに、このロー側走査回路7は、ビクセル回路4と同様に有機ELパネル内に内蔵されていてもよい。

#### 【0032】

さらに、実施例の電流駆動回路は、白黒表示のものでもよいので、R、G、Bそれぞれに対応して設けられていなくてもよい。

なお、実施例では、MOSFETトランジスタを主体として構成しているが、バイポーラトランジスタを主体としても構成してもよいことはもちろんである。また、実施例のN

10

20

30

40

50

(14)

JP 2004 78210 A 2004.3.11

チャンネル型トランジスタ（あるいは $n p n$ 型）は、 $P$ チャンネル型（あるいは $P n P$ 型）トランジスタに、 $P$ チャンネル型トランジスタは、 $N$ チャンネル（あるいは $n p n$ 型）トランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。

ところで、この発明における出力ピンには、 $IC$ のパッドに接続されているパンプ等として形成される出力端子も含まれることはもちろんである。

【図面の簡単な説明】

【0033】

【図1】図1は、第1および第2の発明のアクティブマトリックス型の有機 $EL$ 表示装置を適用した一実施例のブロック図である。

10

【図2】図2は、 $Y$ 方向（ロー方向）走査における走査対象ラインのタイミング制御テーブルの説明図である。

【図3】図3は、この発明の他の実施例のブロック図である。

【図4】図4は、この発明のさらに他の実施例における表示セル駆動回路の具体例の説明図である。来の欠陥検査装置の要部の構成図である。

【符号の説明】

【0034】

- 1 アクティブマトリックス型の有機 $EL$ 表示装置、
- 2 データ電極ドライバ、3 書込制御回路、
- 4 ピクセル回路、4a 有機 $EL$ 素子、4b インバータ、
- 5 コントロール回路、
- 6 レジスタ、7 ロー側走査回路、
- 70 スイッチ回路、
- 8 MPU、9 出力ピン、
- 10、100 表示セル駆動回路、
- 11 フッシュ側の電流源、
- 12、13 フル側の電流源、
- 14  $D/A$ 変換回路、
- 70、SW1～SW3 スイッチ回路、
- 71、72 スイッチ、
- 101 定電圧回路、
- S1、S2、S3 制御信号、
- C、CP コンデンサ、
- Tr1～Tr5 トランジスタ。

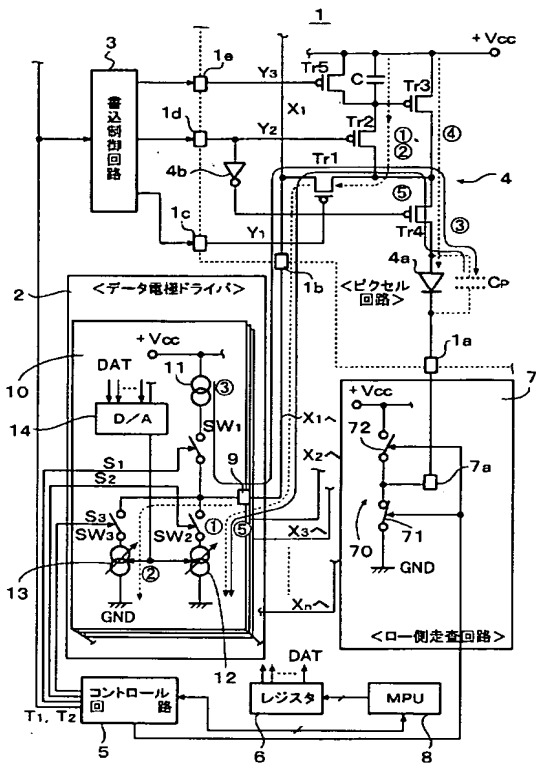
20

30



(15) JP 2004 78210 A 2004.3.11

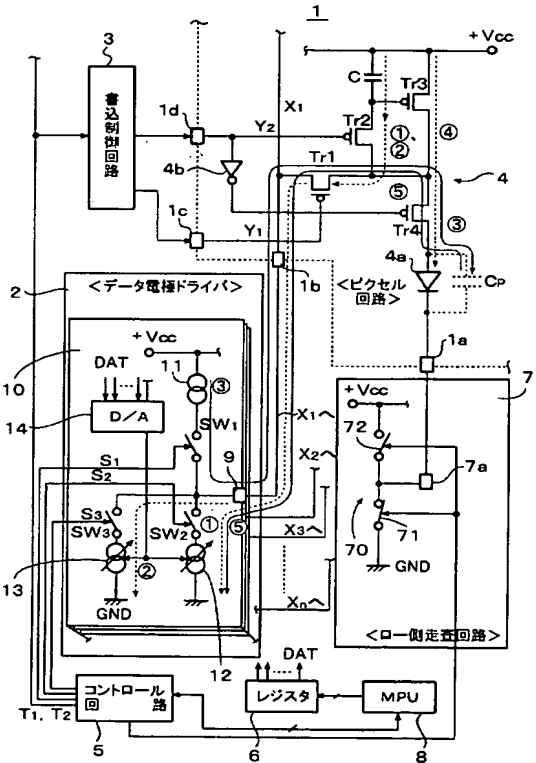
【図 1】



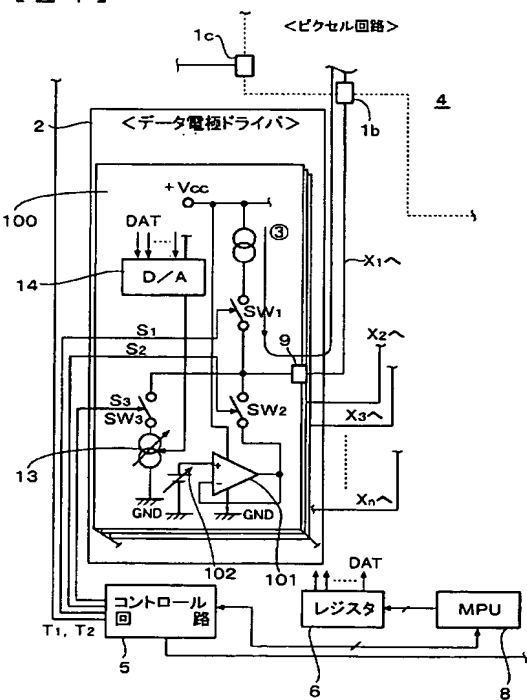
【図 2】

電流経路	①	②	③	④	⑤
ピクセル回路のトランジスタ	Tr6	Tr4	Tr3	Tr2	Tr1
制御信号	S3	S2	S1	S2	S3
選択線、イレース線	Y1	Y2	Y3	Y2	Y1
コデックCの初期充電	"L"	"L"	"H"	"L"	"L"
コデックCへの蓄込み	"L"	"L"	"H"	"L"	"L"
EL素子の初期充電	"L"	"H"	"H"	"H"	"H"
EL素子の発光	"H"	"H"	"H"	"H"	"H"
コデックC, EL素子の電圧リセット	"L"	"H"	"L"	"L"	"L"

【図 3】



【図 4】



(16)

JP 2004 78210 A 2004.3.11

フロントページの続き

(51)Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 D
	H 0 5 B 33/14	A

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**